

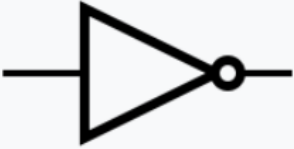






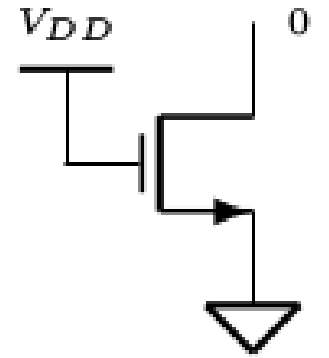
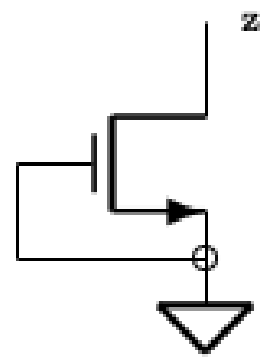
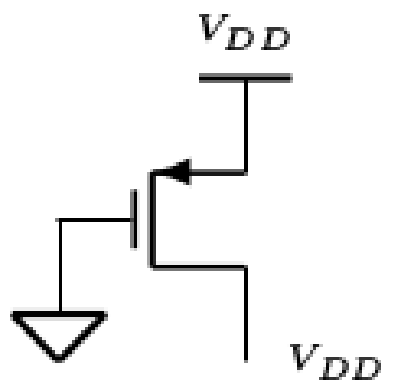
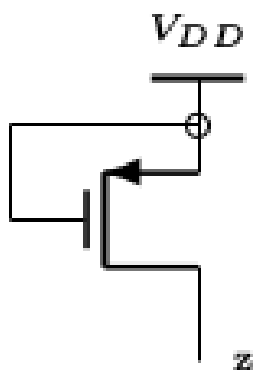
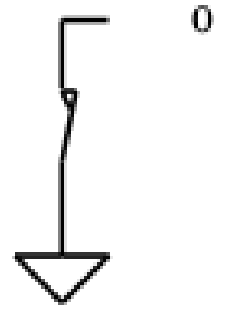
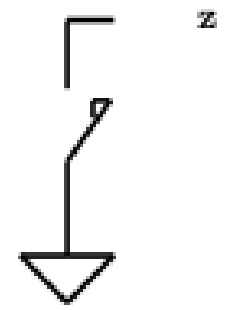
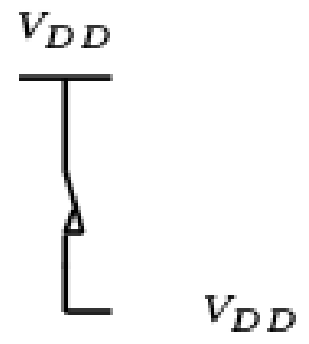
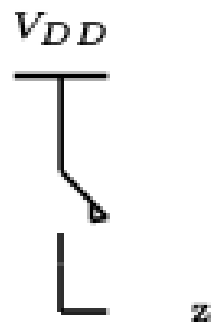
CIRCUITE INTEGRATE DIGITALE

CURS 2:
PORȚI LOGICE CMOS
CIRCUITE LOGICE COMBINAȚIONALE

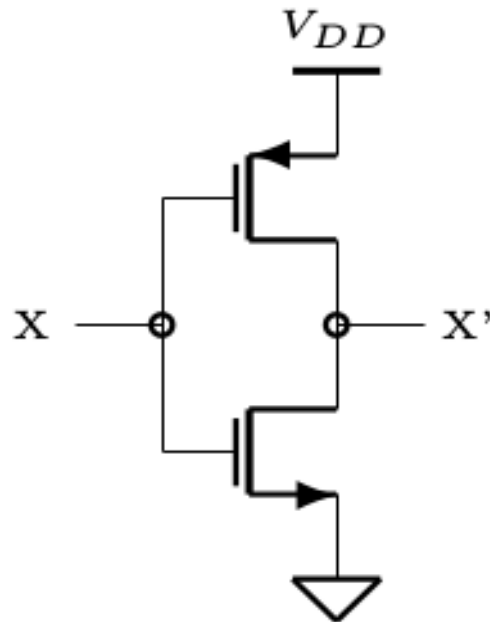
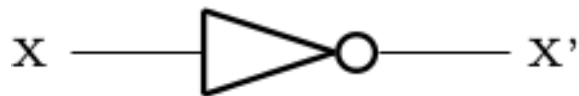
Porti logice (cu doua intrari) uzuale

Tip	Simbol	Tabel de adevăr	Tip	Simbol	Tabel de adevăr																																				
AND		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A AND B</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A AND B	0	0	0	0	1	0	1	0	0	1	1	1	OR		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A OR B</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A OR B	0	0	0	0	1	1	1	0	1	1	1	1
INTRARE		IEȘIRE																																							
A	B	A AND B																																							
0	0	0																																							
0	1	0																																							
1	0	0																																							
1	1	1																																							
INTRARE		IEȘIRE																																							
A	B	A OR B																																							
0	0	0																																							
0	1	1																																							
1	0	1																																							
1	1	1																																							
NOT		<table border="1"> <thead> <tr> <th>INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>NOT A</th> </tr> </thead> <tbody> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </tbody> </table>	INTRARE	IEȘIRE	A	NOT A	0	1	1	0	NAND		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A NAND B</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A NAND B	0	0	1	0	1	1	1	0	1	1	1	0										
INTRARE	IEȘIRE																																								
A	NOT A																																								
0	1																																								
1	0																																								
INTRARE		IEȘIRE																																							
A	B	A NAND B																																							
0	0	1																																							
0	1	1																																							
1	0	1																																							
1	1	0																																							
NOR		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A NOR B</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A NOR B	0	0	1	0	1	0	1	0	0	1	1	0	XOR		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A XOR B</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A XOR B	0	0	0	0	1	1	1	0	1	1	1	0
INTRARE		IEȘIRE																																							
A	B	A NOR B																																							
0	0	1																																							
0	1	0																																							
1	0	0																																							
1	1	0																																							
INTRARE		IEȘIRE																																							
A	B	A XOR B																																							
0	0	0																																							
0	1	1																																							
1	0	1																																							
1	1	0																																							
XNOR		<table border="1"> <thead> <tr> <th colspan="2">INTRARE</th> <th>IEȘIRE</th> </tr> <tr> <th>A</th> <th>B</th> <th>A XNOR B</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	INTRARE		IEȘIRE	A	B	A XNOR B	0	0	1	0	1	0	1	0	0	1	1	1																					
INTRARE		IEȘIRE																																							
A	B	A XNOR B																																							
0	0	1																																							
0	1	0																																							
1	0	0																																							
1	1	1																																							

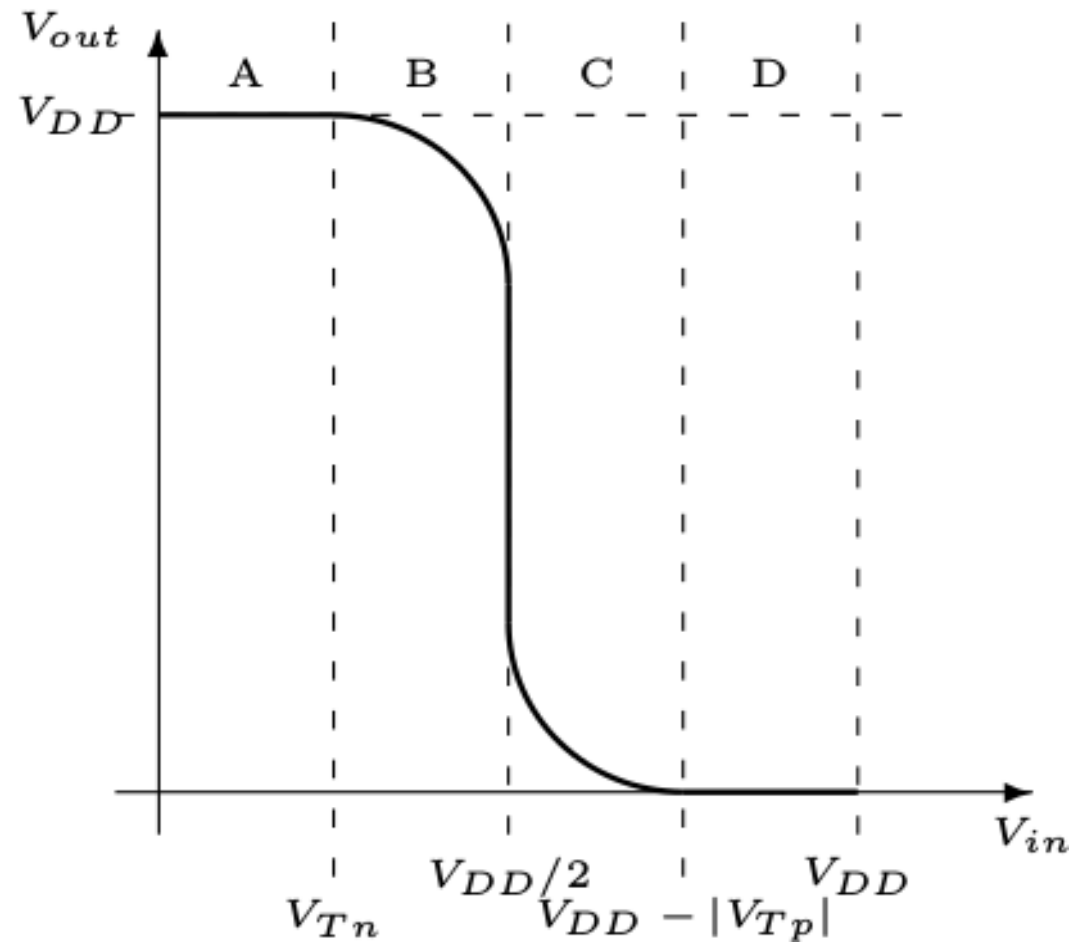
Comutatoare CMOS



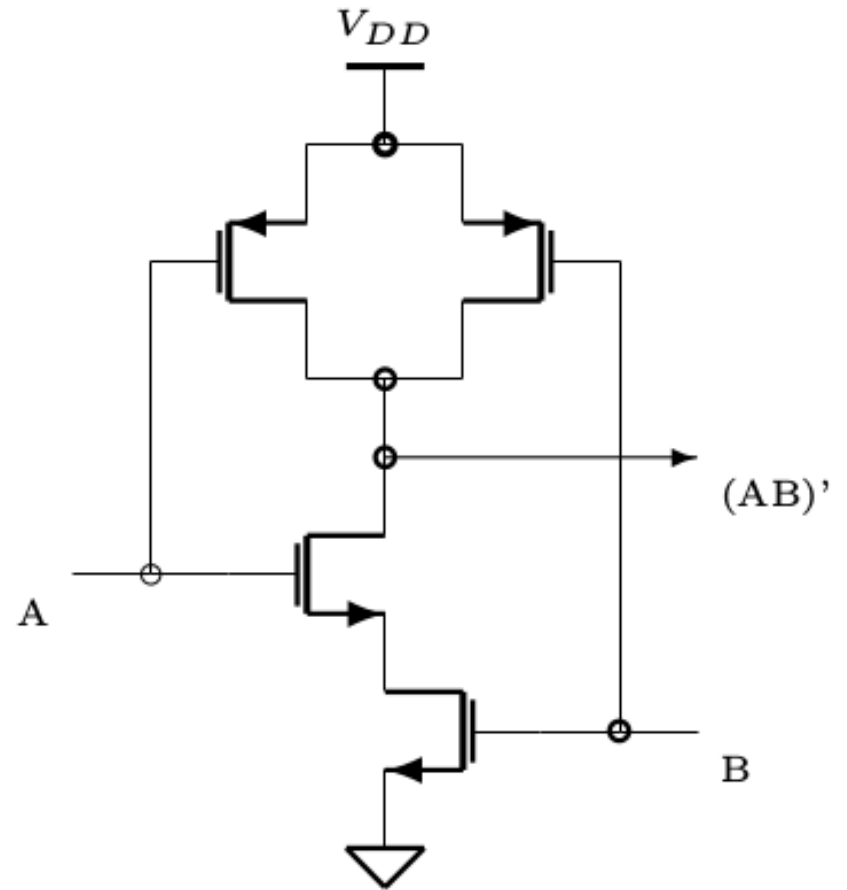
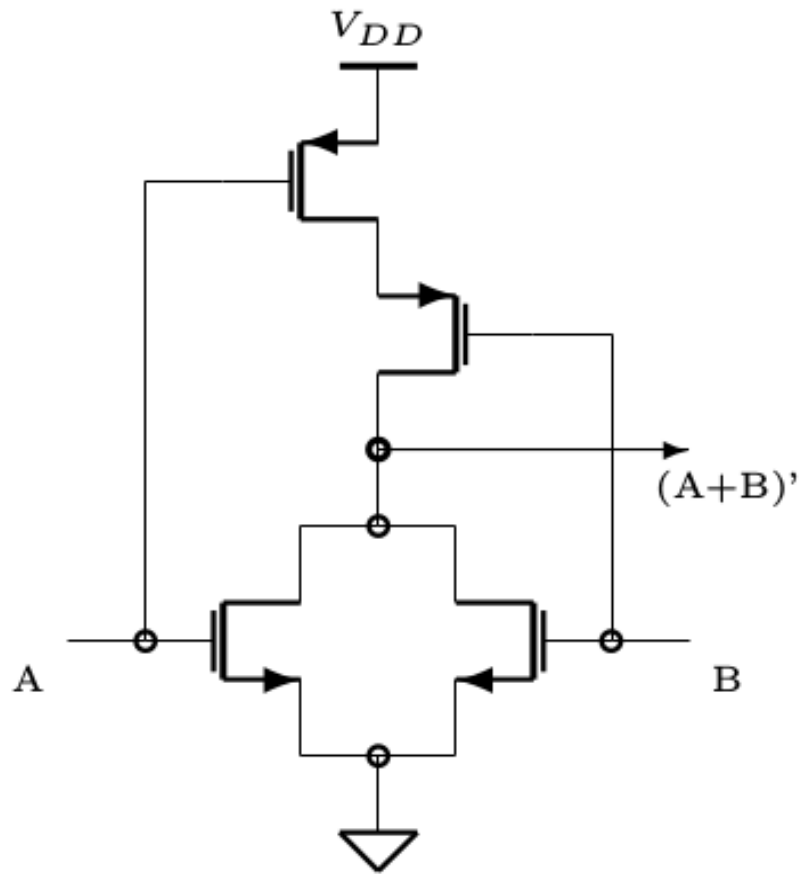
Inversorul CMOS



pMOS	lin	lin	sat	cut
nMOS	cut	sat	lin	lin



Porti logice NOR și NAND

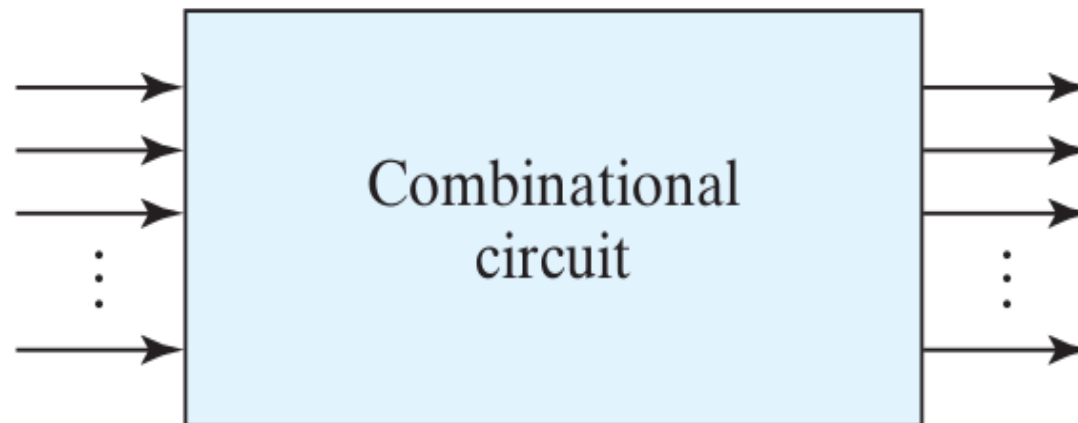


Timpul de Propagare

- Căuzat de capacitatea de poartă a tranzistorului MOS – timpul de încărcare și descărcare a sarcinii din poartă
- Timpul de propagare crește cu numărul de tranzistoare al porții
 - Dincolo de 3 intrări, e mai rentabil să folosim porți cascade

Circuite Combinaționale (CLC)

- Definiție: circuitele formate din fire și porți logice ale căror valori de ieșire depind exclusiv de valorile intrărilor, la orice moment de timp
- CLC nu pot conține bucle de reacție sau elemente de memorie
- Forma generală: circuit cu M intrări și N ieșiri



Circuite Combinaționale (CLC)

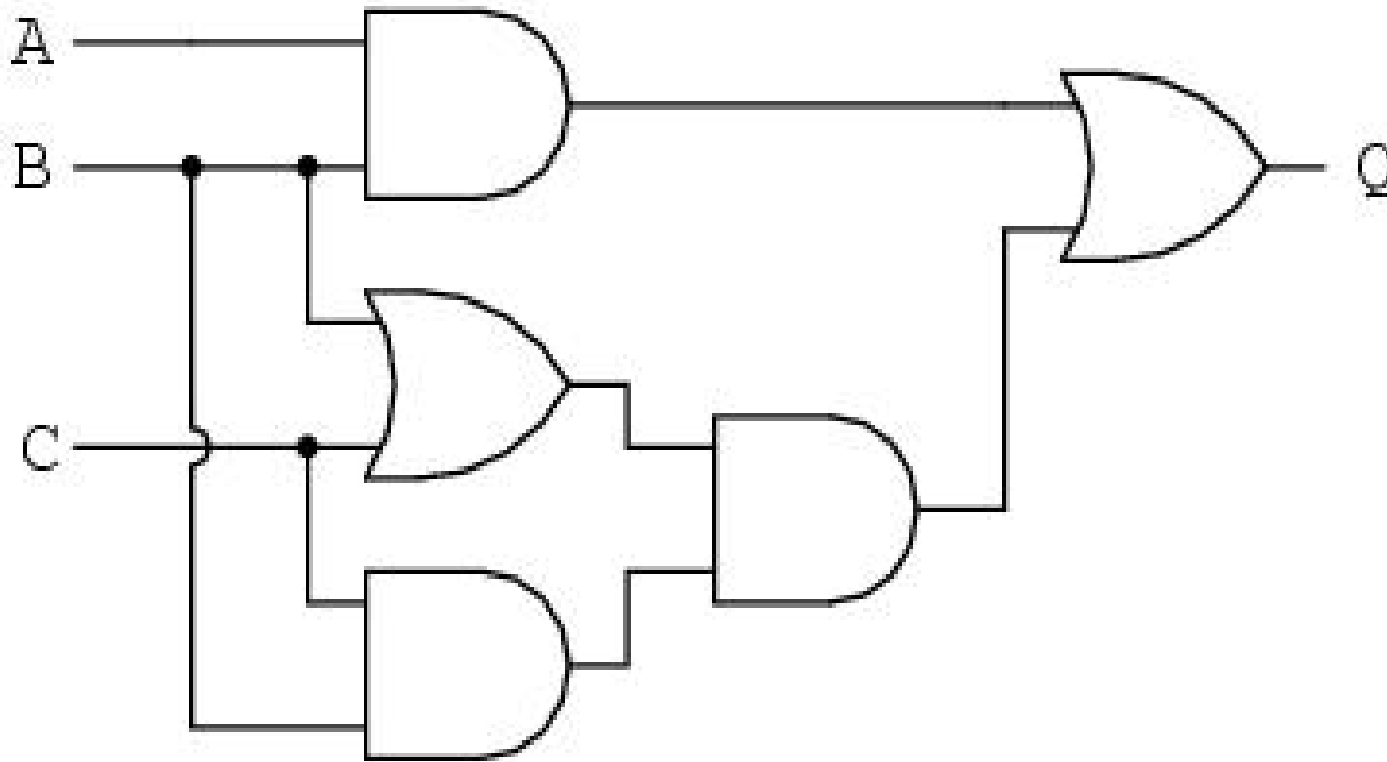
- CLC cu un singur semnal de ieșire, echivalente cu o funcție logică
- Operații cu CLC:
 - Analiză
 - A funcției
 - A performanței
 - Definirea criteriilor de performanță
 - Proiectare
 - Optimizare a performanței

Analiza CLC

- Procedura de analiză a funcției logice:
 - Se denumesc ieșirile porților, pornind dinspre intrare către ieșire
 - Se notează toate semnalele denumite în tabelul de adevăr
 - Se completează tabelul de adevăr, pe coloane

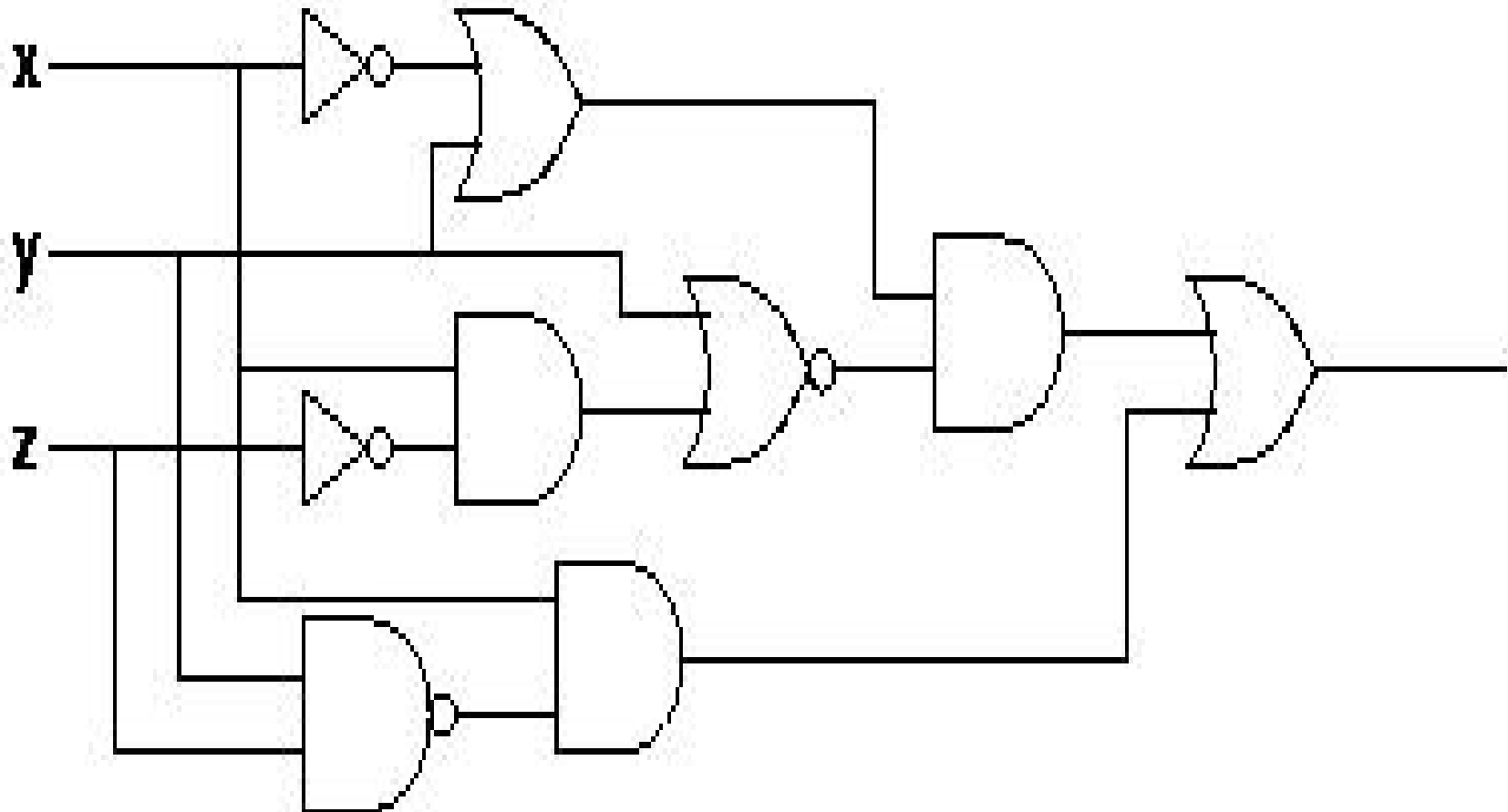
Analiza CLC

- Exemplu: analizarea funcției următorului circuit



Analiza CLC

- Exercițiu:



Analiza Performanței CLC

- Criterii de performanță?

Analiza Performanței CLC

- **Adâncimea circuitului** – numărul maxim de porți traversate de semnal, pe oricare cale de la intrare către ieșire
- **Timpul de propagare prin circuit** – durata de timp necesară pentru ca o schimbare a valorilor de intrare să producă efecte la ieșire
- **Calea critică** – calea de semnal, între intrarea și ieșirea circuitului, care are timpul de propagare cel mai mare
 - Aproximare bună: calea care traversează numărul maxim de porți
 - Determină viteza de procesare a circuitului

Analiza Performanței CLC

- **Dimensiunea circuitului** – aria de siliciu ocupată de circuit
 - Aproximare bună: numărul de porți elementare
 - Afectează costul unui circuit
- **Puterea consumată**
 - Afectează costul și performanța unui circuit

Proiectarea CLC

- Procedura de proiectare:
 - Exprimarea funcției dorite prin tabele de adevăr sau funcții algebrice pentru fiecare ieșire
 - Exprimarea grafică a funcției sub formă de circuit pentru fiecare ieșire în parte
 - Identificarea subcircuitelor comune

Proiectarea CLC

-
- Exemplu practic: circuit de pornire a motorului
 - Verificarea unor parametri ai mașinii:
 - Cheia în contact
 - Centurile cuplate pentru pasagerii prezenți

Optimizarea CLC

- **Minimizarea funcției logice**

- O funcție logică poate fi implementată în multiple moduri cu porți logice, scopul e de a găsi forma cu performanță optimă

- **Conversie la logică NAND/NOR**

- Exprimarea funcției circuitului folosind exclusiv porți de dimensiune minimă: NAND, NOR, NOT

Logică NAND/NOR

- Porțile NAND/NOR sunt porți universale (pot fi folosite pentru a implementa orice funcție logică)
- Metodologie:
 - Obținerea formei NOT/AND/OR prin algebra sau diagrama K
 - Transformarea în logică NAND/NOR prin DeMorgan