

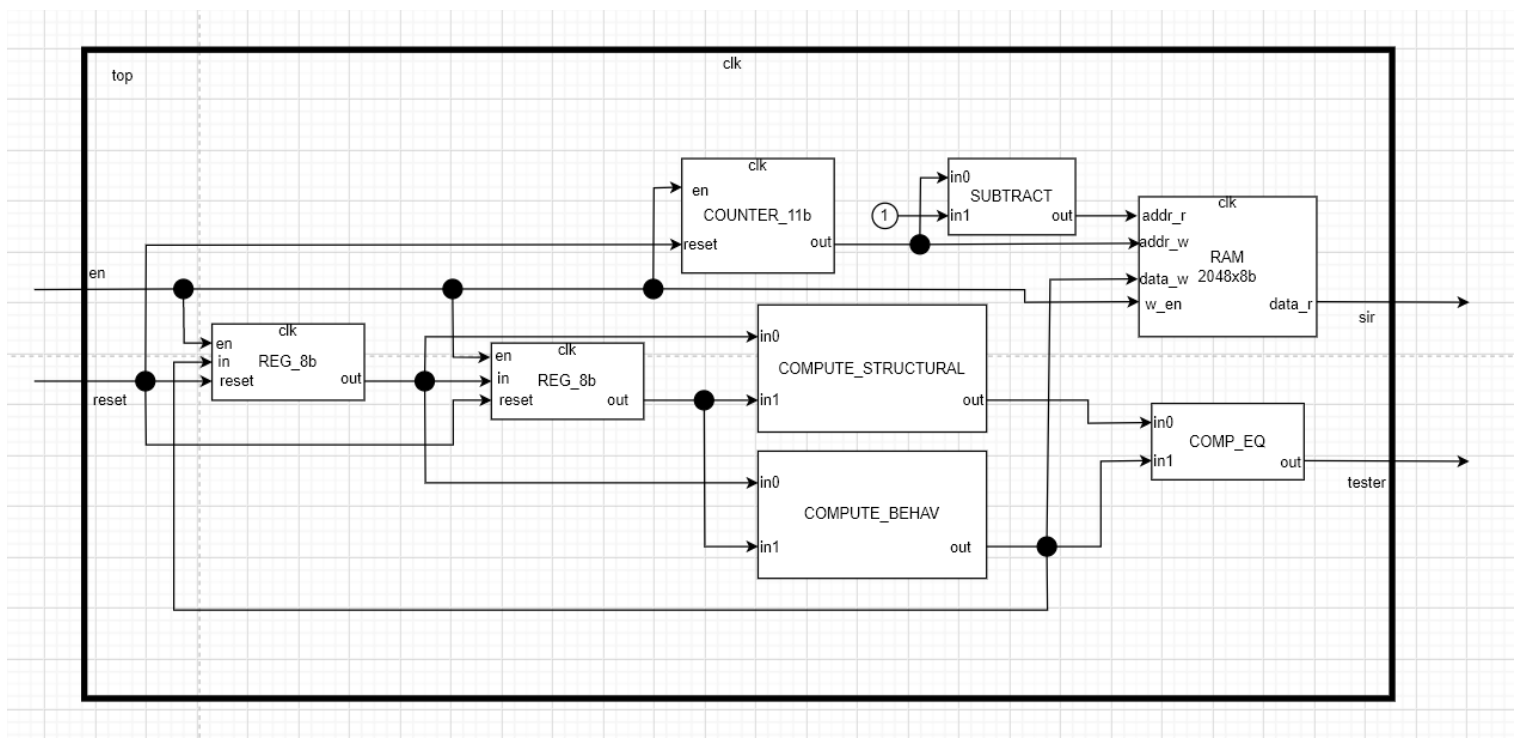
Subiect:

Timp de lucru: 1.20h

Cerinta:

Implementati schema de mai jos in verilog si efectuati simulari pentru verificarea functionalitati.

Schema bloc:



Descrierea schemei + cerinte speciale:

Circuitul de mai sus este un generator de siruri numerice, sirul depinzand de ultimii doi termeni. Acesta va fi definit pe doua ramuri ca

$$f(n) = (2 * f(n-2) + f(n-1) + 3) \% 256 \text{ pentru } f(n-1) \text{ par}$$
$$f(n) = (2 * f(n-2) + f(n-1) - 1) \% 256 \text{ pentru } f(n-1) \text{ impar}$$

termeni initiali $f(0)=0; f(1)=0;$

Valorile din acest sir se vor salva intr-o memorie ram si apoi citite din sistem.

Comp_eq - comparator de egalitate.

REG_8b - registri simpli pe 8b care vor salva valorile anterioare ale sirului. C

COUNTER_11b - numarator.

SUBTRACT - scazator.

RAM - modul de memorie ram cu 2048 locatii de 8b fiecare. Citire asincrona.

COMPUTE_BEHAV - generatorul propriu zis de sir care primeste cei doi termeni anteriori si genereaza termenul curent al sirului, conform definitiei acestuia. Descriere comportamentala (behavioural) in Verilog.

COMPUTE_STRUCTURAL - idem "COMPUTE_BEHAV", dar scrisa ca folosind descrierea structurala (structural description) pentru a evidentia structurile hardware folosite.

Adaugati dimensiunile corespunzatoare firelor, acolo unde considerati ca ar trebuii. Acestea nu au fost puse pe desen.

Pentru simplificare desenului, firul de clock nu a fost desenat efectiv. Sa nu uitati sa il puneti.

Pentru a vedea ca cele 2 implementari ale generatorului efectiv de sir sunt corecte, iesirile sunt trecute prin comparatorul de egalitate.

Pentru simulare:

Pentru testarea functionalitati se va lasa circuitul sa functioneze pentru 500 de cicli de ceas astfel incat sa se genereze termenii sirului.

Barem:

Total - 30p

design - 20p

- top - 5p
- comp_eq- 1p
- reg_8b - 2p
- counter - 2p
- ram - 2p
- compute_structural - 4.5p

- compute_behav - 3.5p

simulare - 10p

- testbench - 4p
- demonstratie simulare - 6p.
 - 2p - poza forme de unda cu toate modulele puse in simulare ca grupuri si vizibile semnalele din tb, intrari si iesiri.
 - 4p memoria ram cu valorie corecte salvate in aceasta vizibile (primele cate incap intrun screenshot).