

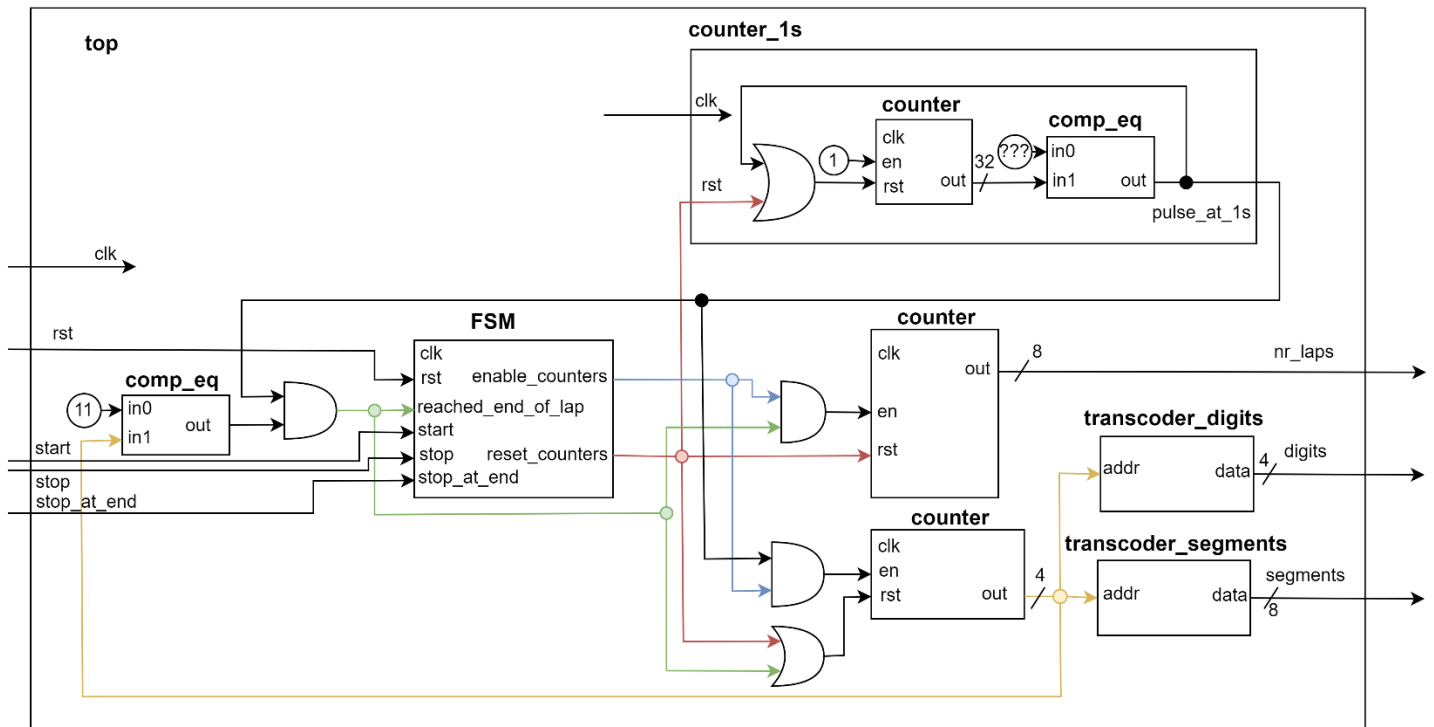
Subiect:

Timp de lucru: 1.30h

Cerinta:

Implementati schema de mai jos in verilog si efectuati simulari si testare pe placa pentru verificarea functionalitati.

Schema bloc:



Descrierea schemei + cerinte speciale:

Circuitul de mai sus are rolul de a deplasa pe unul din display-urile cu 4x 7 segmente ledul aprins. Astfel mereu exista un led aprins care se deplaseaza in jurul display-urilor, si "da ture" in jurul acestora (pe exteriorul lor). Numarul de ture complete se contorizeaza. Pozitia de start se considera stanga sus si sensul de mers la dreapta.

Circuitul este alcatuit din:

counter_1s – circuit ce genereaza un puls de un ciclu de ceas la fiecare 1 secunda.

counter – numaratoare pe 32/8/4 biti.

comp_eq – comparator de egalitate

porti logice

FSM – automat de control

transcoder_segments – memorie ROM ce permite afisarea segmentului dorit la fiecare moment de timp.

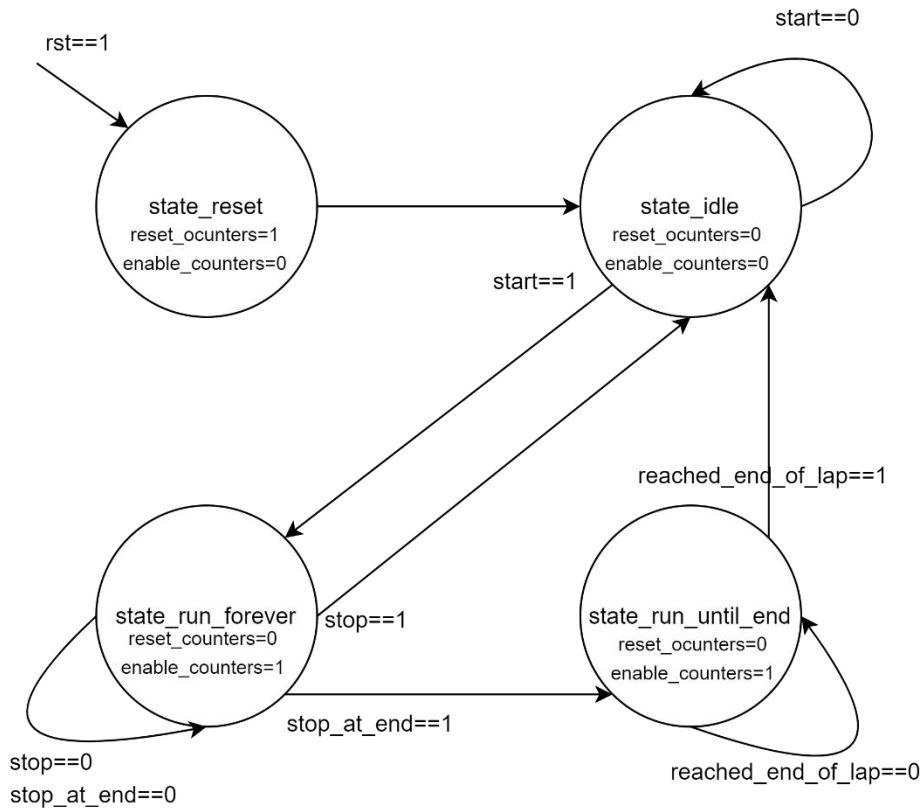
transcoder_digits – memorie ROM ce permite afisarea pe digit-ul dorit a segmentului aprins.

Inlocuiti “???” cu o valoare potrivita astfel incat sistemul sa functioneze la 1 secunde. Pentru simulare, se doreste functionarea la 1 ms.

Placa functioneaza in logica negativa atat pentru segmente cat si pentru digits.

Pentru simplificare desenului, firul de clock nu a fost desenat efectiv. Sa nu uitati sa il puneti.

Automatul este implementat ca Moore fara intarziere si respecta urmatoarea diagrama:



Pentru simulare:

Se va scrie un test_bench cu ajutorul caruia sa se testeze circuitul.

Se doreste observarea iesirilor sistemului si a semnalelor din interiorul FSM-ului.

Pentru simulare (ca sa nu asteptati mult) in loc de puls la 1s, modulul "counter_1s" va genera pulsul la 1ms.

Pentru sinteza:

clk – Clock 125MHz

rst – Switch[0]

start – Switch[1]

stop – Switch[2]

stop_at_end – Switch [3]

nr_laps – Leds[7:0]

digits – Grupul0_selectie_cifra

segments – Grupul0_segmente

Barem:

Total - 30p

design - 20p

- top – 4p
- counter_1s – 2p
 - parametru corect – 2p
- counter – 2p
- transcoder_segments – 2p
- transcoder_digits – 2p
- FSM – 4p
- comp_eq – 1p
- porti – 1p (-4p daca le gresiti)

simulare - 7p

- testbench – 4p
- forma de unda ceruta (si functionalitate corecta) – 3p.

placa – 3p

- fisier constrangeri – 2p
- demonstratie functionalitate – 1p