

1. Faceti un **folder** cu **NUMEPrenume_grupa_L2** pe desktop si salvati acolo proiectul **Proiectul** il numiti **NUMEPrenume_grupa_L2**
La sfarsit, arhivati acest proiect **.zip** **si incarcati-l pe moodle**
2. Sa se implementeze in Verilog, in fisiere separate, modulele componente (10p)
Sa se implementeze modulul TOP prin **instantierea** si conectarea modulelor descrise (3p)
 - *salvati un **printscreen** in proiectul vostru cu schema RTL (elaborarea) circuitului TOP*
3. Implementati un modul de test, numit **testVostru** sau **testbench_numeleVostru** care sa instantieze modulul TOP si sa demonstreze functionarea lui (17p)
 - TB care demonstreaza funct circuitului (10p)
 - Explicati formele de unda obtinute la iesiri si Functionarea circuitului(7p)
 - *salvati un **printscreen** cu formele de unda rezultate*

Sa se implementeze circuitul *NumePrenume_TOP* (*NumePrenume* trebuie inlocuit cu numele si prenumele fiecarui student) reprezentat in figura de mai jos. Pentru aceasta, urmatoarele etape trebuie parcurse:

- 1) Se implementeaza modulul COUNTER, numarator pe 2 biti, cu reset sincron si semnal de enable care permite numararea doar atunci cand valoarea sa este 1.
- 2) Se implementeaza memoria ROM, avand 4 locatii de 8 biti, cu urmatorul continut:
 - ROM[0] -> 8'h21
 - ROM[1] -> 8'h43
 - ROM[2] -> 8'h49
 - ROM[3] -> 8'h44
- 3) Se implementeaza automatul FSM cu urmatoarele caracteristici:
 - automatul are 3 stari: IDLE (stare de reset), COMPUTE, COMPUTE_STOP.
 - automatul are 4 intrari: clock, reset, start si count (iesirea numaratorului).
 - automatul are o singura iesire: cnt_en. Iesirea este 1 daca ne aflam in starea COMPUTE si 0 in rest.
 - tranzitia starilor se realizeaza in modul urmator:
 - daca starea curenta este IDLE, trece in COMPUTE daca start este 1.
 - daca starea curenta este COMPUTE, trece in COMPUTE_STOP daca count este 3 si start este 1 si trece in IDLE daca count este 3 si start este 0.
 - daca starea curenta este COMPUTE_STOP, trece in IDLE daca start este 0.
 - pentru orice alta combinatie a semnalelor de intrare, se mentine starea curenta.
- 4) Se implementeaza modulul *NumePrenume_TOP*, prin conectarea modulelor descrise mai sus, conform schemei.
- 5) Se scrie un Test Bench (*TB_NumePrenume*) pentru acest modul in care se genereaza semnale de test astfel incat start sa aiba cel putin doua tranzitii prin 1 si 0, testandu-se functionalitatea circuitului.
- 6) Se ruleaza simularea, setandu-se pentru semnalul out radix = ASCII. Se face un print-screen la forma de unda cu un nivel optim de zoom.
Sa se scrie 2 valori diferite la doua locatii diferite din memoria RAM, la un interval de 10 perioade de ceas
- 7) Se analizeaza schema si comportamentul observat in simulare si se explica functionarea circuitului. Atentie! Explicatiile trebuie sa contina si descrierea generala a functionarii (rolul circuitului).

