

Timp de efectiv de lucru: 50 de minute. SUBIECT_5_FARA_RAM

Extraterestrii din sistemul solar luminat de Betelgeuse, au fost de acord sa ne imprumute un generator ZPM. Drept multumire, oamenii au decis sa tina o serata pentru a le delecta "ochiurechea" (ochiurechea este un organ de simt al extraterestrilor, care transforma impulsurile luminoase in semnale electrice interpretate de creierul lor ca "sunete")

Este minisunea ta, sa reproduci o parte din Simfonia a 9-a pentru ochiurechile extraterestrilor. La sfarsitul melodiei, se poate introduce o pauza (niciun led aprins) convenabil de lunga apoi se repeta melodia.



Obs1.

- pentru a produce sunetul A, trebuie aprins LD0
- pentru a produce sunetul B, trebuie aprins LD0 si LD1
- pentru a produce sunetul C, trebuie aprins LD0, LD1, LD2
- pentru a produce sunetul D, trebuie aprinse LD0, LD1, LD2, LD3
- si tot asa.

Obs2. Durata notelor se considera:

- "2 T" pentru notele care arata ca prima nota E (cea mai din stanga) 
- "3 T" pentru nota E cu punct (ultima nota E) 
- "1 T" pentru notele care arata ca penultima nota D 
- "4 T" pentru notele care arata ca ultima nota D (cea mai din dreapta) 

unde 1 T inseamna FIX 1 secunda.

Obs3. Se considera echivalenta o nota de 4 T cu 2 de 2 T sau 4 de 1 T.

Obs4.

Numaratorul NUM-COMP:

- contine doua registre:
 - unul pentru starea interna (care se incrementeaza la fiecare perioada de ceas)
 - unul pentru iesire "out_num" (care se incrementeaza cand registrul de stare interna a numarat o secunda)
- la fiecare incrementare a iesirii, registrul de stare interna se duce in 0
- NUM-COMP numara cand "go" este 1
- NUM-COMP isi mentine valoarea cand "hold" este 1 si "go" este 0

"ROM1" este o memorie de tip ROM de dimensiune corespunzatoare (minima)

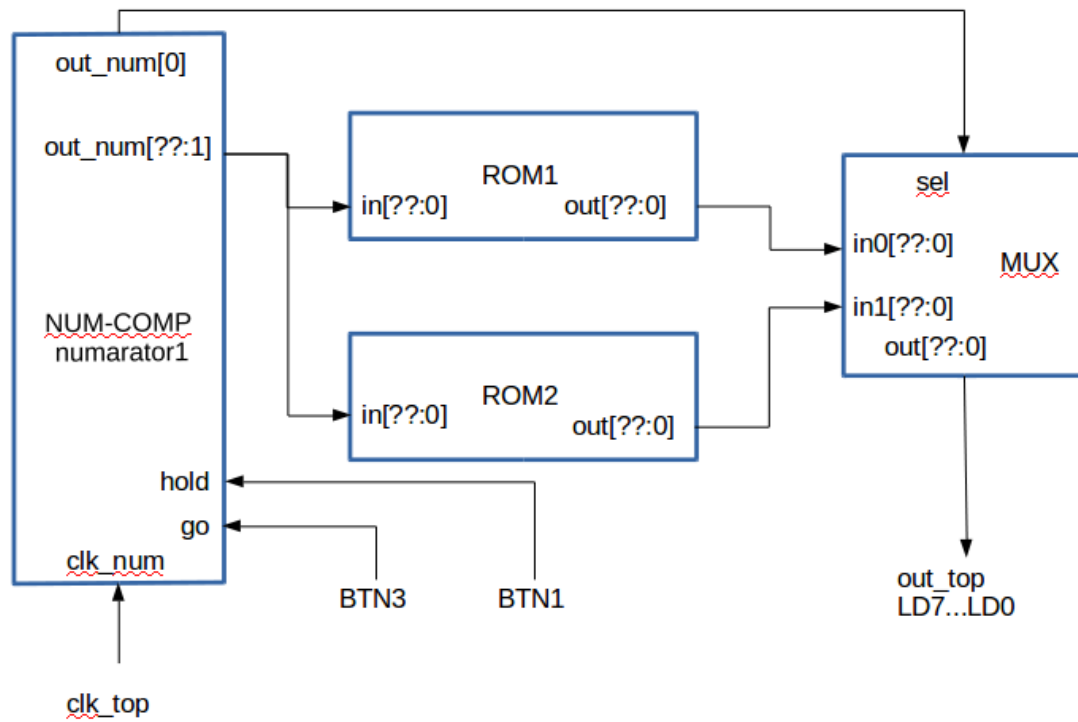
"ROM2" este o memorie de tip ROM de dimensiune corespunzatoare (minima)

"MUX" este un multiplexor

Ceasul din sistem este ceasul generat de oscilatorul de 50 MHz de pe placa cu FPGA.

Implementati in Verilog modulele din circuitul din figura, RESPECTAND numele semnalelor si ale modulelor / instantelor.

top



Punctaj (din 50 de puncte): 11 + 12 + 1 + 4 + 8p pentru top, 10p pentru "design" si 4p coding style.

Detaliu punctaj:

numcomp1 (11p):

- (1p) numaratorul are dimensiunea minima necesara a registrului de stare interna
- (1p) numaratorul are dimensiunea minima necesara a registrului de iesire
- (2p) registrul de iesire se incrementeaza in ritmul corespunzator
- (1p) conditia de hold este corecta
- (1p) conditia de numarare este corecta
- (1p) semnalul de go are denumirea ceruta
- (1p) semnalul de hold are denumirea ceruta
- (1p) semnalul de ceas are denumirea ceruta
- (1p) semnalul de iesire are denumirea ceruta
- (1p) modulul verilog are denumirea ceruta

Memoria ROM1 (12p):

- (1p) are numarul minim de adrese
- (1p) are numarul minim de biti de iesire
- (1p) conditia de citire e corecta
- (1p) are continutul corect pentru nota C
- (1p) are continutul corect pentru nota D
- (1p) are continutul corect pentru nota E
- (1p) are continutul corect pentru nota F
- (1p) are continutul corect pentru nota G
- (1p) are continutul corect pentru notele de 1 T
- (1p) are continutul corect pentru notele de 2 T
- (1p) are continutul corect pentru notele de 3 T
- (1p) are continutul corect pentru notele de 4 T

Memoria ROM2 (1p)

- (1p) are continutul corect

MUX (4p)

- (1p) in0 are dimensiunea corecta
- (1p) in1 are dimensiunea corecta
- (1p) sel are dimensiunea corecta
- (1p) out are dimensiunea corecta

top (8p):

- (1p) memoria ROM1 este instantiata corect (tip, semale)
- (1p) memoria ROM2 este instantiata corect (tip, semnale)
- (1p) numaratorul NUM-COMP este instantiat corect (tip, semale)
- (1p) multiplexorul MUX este instantiat corect (tip, semale)
- (1p) toate legaturile ROM1 sunt corecte
- (1p) toate legaturile ROM2 sunt corecte
- (1p) toate legaturile MUX sunt corecte
- (1p) toate legaturile din exterior se duc spre blocurile corecte (tip, semnale)

design (10p):

(3p) design-ul este complet (ca numar / tip de componente) si nu are erori de sintaxa / sinteza / implementare

(3p) design-ul functioneaza pe FPGA asa cum s-a cerut (intre stari trec fix. 500 milisecunde si starile se succed in ordinea ceruta)

(1p) corespondenta semnalului de ceas <> pin e corecta

(1p) corespondenta hold <> pin e corecta

(1p) corespondenta go <> pin e corecta

(1p) corespondenta biti de iesire <> pini e corecta

coding_style(4p)

(4p) codul este usor de citit (indentat si spatiat similar cu exercitiul din laborator5)